Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра ЭВМ

Отчёт по лабораторной работе №13

на тему: «**Исследование работы оперативного**

**запоминающего устройства**»

Студент группы 450501 Минаковский К.А.

Преподаватель Тимошенко В.С.

Минск 2016

1. **Цель работы**

Целью работы является изучение принципа работы и режимов функционирования оперативного запоминающего устройства.

1. **Сведения, необходимые для выполнения работы**

Оперативным запоминающим устройством (ОЗУ) называется схема, служащая для записи, хранения и считывания массива многоразрядных двоичных слов (кодов), размещаемых каждое в своей запоминающей ячейке в соответствии с уникальным адресом для каждого запоминаемого слова. По мере поступления входных запоминаемых слов, каждому из них в соответствие ставится свой адрес. При считывании в ответ на установку адреса каждое слово появляется на выходе запоминающего устройства. ОЗУ относятся к энергозависимым устройствам, т.е. при отключении питания информация разрушается.

К основным характеристикам ОЗУ относятся:

- емкость памяти - наибольший объем информации, который одновременно может храниться в ОЗУ. Базовой единицей измерения емкости памяти служит бит, представляющий собой один разряд двоичного числа;

- организация запоминающего устройства, для оценки которого служит произведение числа хранимых слов на их разрядность. Это произведение равно емкости памяти ОЗУ. Например, два ОЗУ с организацией 32x32 и 64x16 имеют одинаковую емкость памяти 1024 бит;

- быстродействие (производительность) ОЗУ может характеризоваться временем цикла записи, временем цикла считывания информации, а также временем обращения памяти, включающим в себя оба цикла;

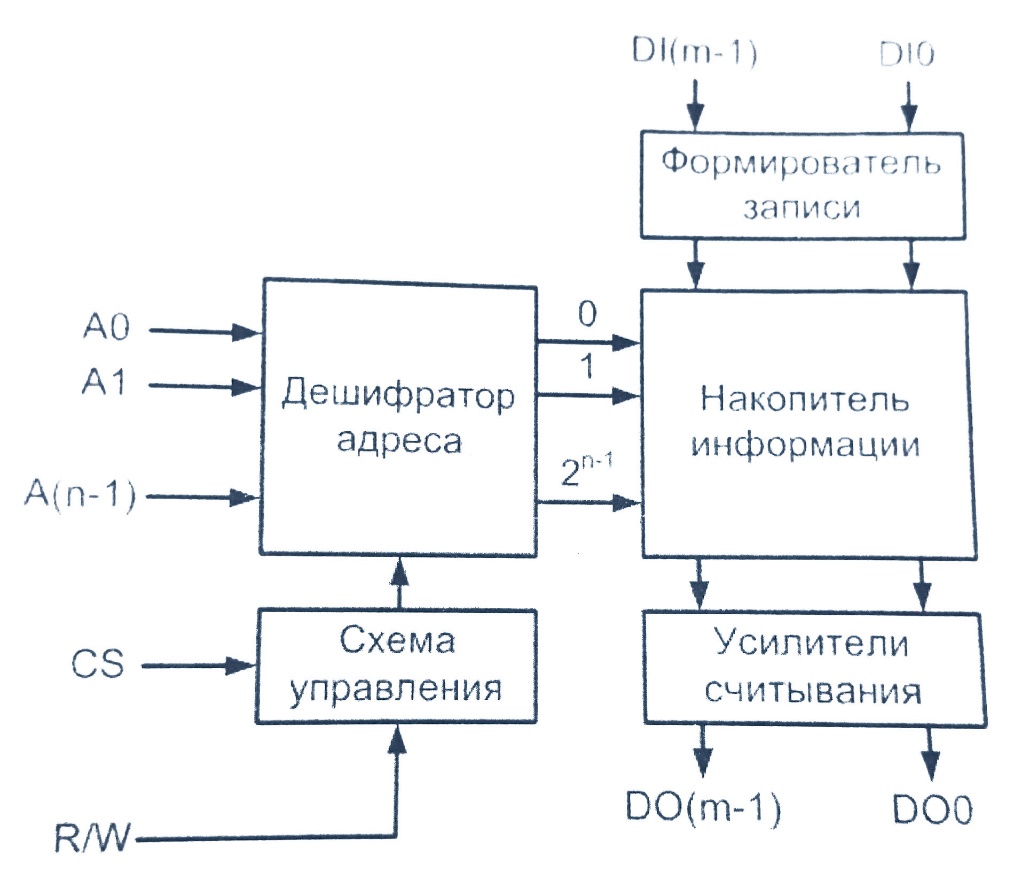
К основным управляющим и информационным сигналам относятся:

* А0...Аn - адрес, или адресный код. Адресный код является номером элемента или ячейки памяти, в котором хранится бит, байт или слово информации. Число разрядов адресного кода «п» определяет емкость памяти ОЗУ. Например, 12-разрядный код А11А10А9...А0 позволяет обратиться к любой из 212 = 4048 ячеек памяти ОЗУ;
* (CS) (Chip Select) или (СЕ) (Chip Enable) - сигналы выбора кристалла, или микросхемы, активизирующие работу микросхемы ОЗУ при нулевом логическом уровне;
* Схемы проверки равнозначности кодов имеют две переменные A и B, каждая из которых содержит M двоичных разрядов, и один выход U\Y. При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал Y=1 при равенстве исходных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности (табл. 1). В этой таблице Ai и Bi являются i-тыми разрядами многоразрядных двоичных чисел A и B, а yi – результатом сравнения разрядов с номером i.
* R/W (Read/Write) - сигнал, управляющий режимом работы памяти: R/W = 0 производится запись, при R/W = 1 - чтение;
* DI, DO (Data Input, Data Output) - входные и выходные т-разрядные данные ОЗУ, передаваемые по совмещенной или отдельным шинам. Число разрядов т определяется организацией ЗУ.

По способу хранения информации ОЗУ делятся на две группы:

* статические ОЗУ, в которых состояние элементов памяти при хранении информации остается неизменным (элементами памяти являются статические триггеры);
* динамические ОЗУ, в которых состояние элементов памяти (обычно полупроводниковых емкостей) не остается неизменным и требует периодического проведения процесса регенерации (восстановления) исходных уровней сигналов.

На рис. 1 в качестве примера приведена структурная схема статического ОЗУ с организацией n х m, где n - число хранимых слов, или ячеек памяти, a m-разрядность слова (в данном примере m=4).

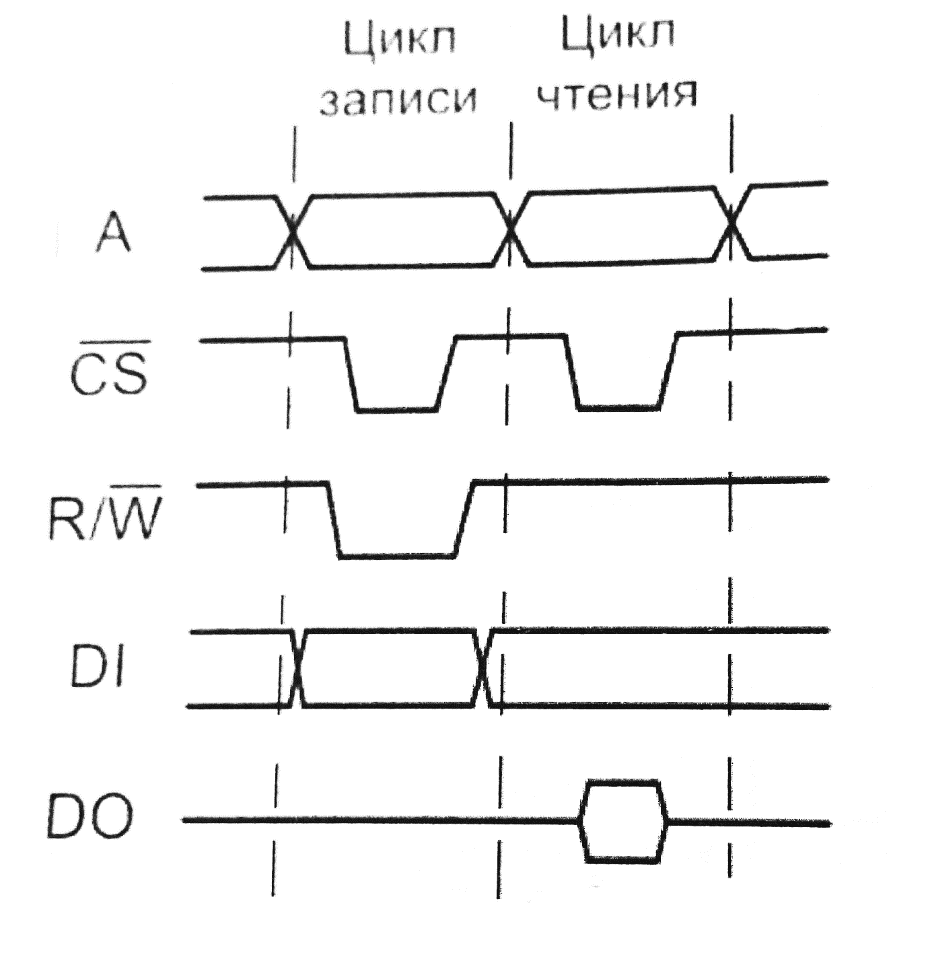
**

*Рис. 1 Структурная схема статического ОЗУ*

Запоминающее устройство содержит:

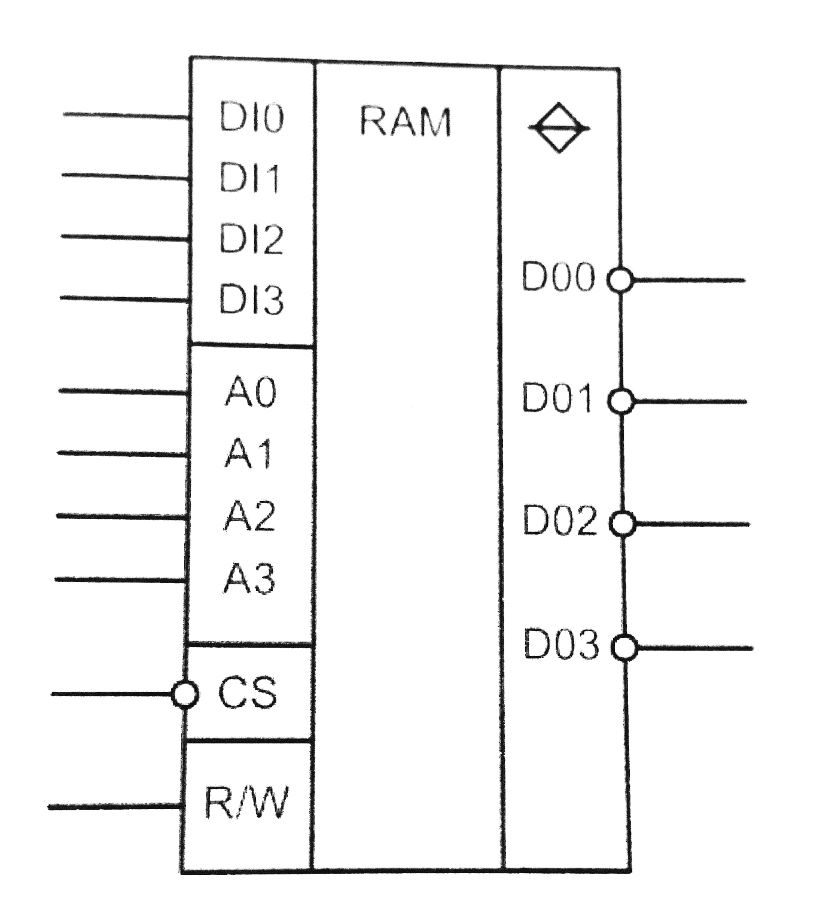
Представленное ОЗУ реализует произвольный доступ к информации. Адрес ячейки, в которую надо записать информацию (DI) или считать ее (ЕЮ) поступает на дешифратор адреса. Дешифратор адреса выбирает в накопителе требуемую ячейку. Операция определяется управляющим сигналом W/R. Микросхема работает только при поступлении сигнала CS = 0. При отсутствии сигнала (СS = 1) выходные линии (DO) находятся в высо-коимпедансном состоянии (Z-состояние) и данные на выходные выводы микросхемы ОЗУ не передаются.

Временная диаграмма работы ОЗУ показана на рис. 2.



*Рис. 2 Временная диаграмма работы ОЗУ*

Условное графическое обозначение микросхемы статического ОЗУ К531РУ8 с организацией 16x4 представлено на рис. 3.



*Рис. 3 Условное графическое обозначение микросхемы ОЗУ типа К531РУ8*

Микросхема К531РУ8 имеет адресные Входы АО — АЗ, информационные входы DIO - DI3, вход выбора режима R/W (чтение/запись), вход выбора микросхемы CS и информационные выходы DOO - D03.

Для записи в микросхему четырехразрядного двоичного кода, поданного на информационные входы DIO — DI3, необходимо установить адрес АО - АЗ ячейки памяти, в которую производится запись, а затем выбрать режим записи R/W=0 и подать сигнал выбора микросхемы CS=0. В данном режиме записываемая информация на выходы DOO - D03 микросхемы не передается.

Для чтения данных из ОЗУ необходимо установить адрес АО - АЗ требуемой ячейки памяти, выбрать режим чтения R/W=l и подать сигнал выбора микросхемы CS=0. Информация из ячейки памяти передается на информационные выходы DOO - D03 через инвертирующие усилители с тремя состояниями выхода. Управление выходом совмещено с сигналом CS, то есть при CS=1 выходные каскады имеют высокоимпедансное состояние (Z-состояние), а при CS=0 в режиме чтения R/W=l — данные могут быть прочитаны на выходах DOO - D03.

Из сказанного следует, что при CS=1 независимо от состояния входа R/W микросхема переходит в режим хранения информации с переключением выхода в высокоимпедансное состояние. Так как ОЗУ является асинхронным, то при выполнении записи или чтения данных в течение всего времени действия сигнала CS=0 адресный код на входах АО - АЗ должен быть неизменным.

1. **Исследование РАБОТЫ опертивного   
   запоминающего устройства**

Таблица 1

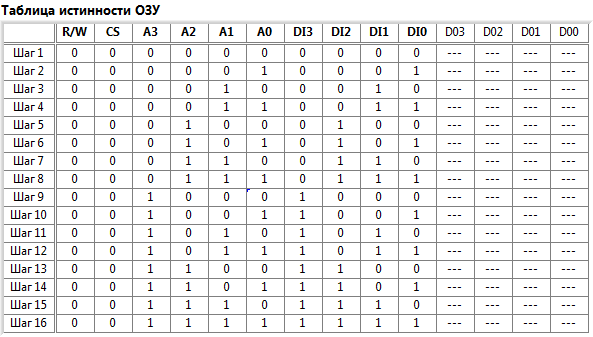


Таблица 2

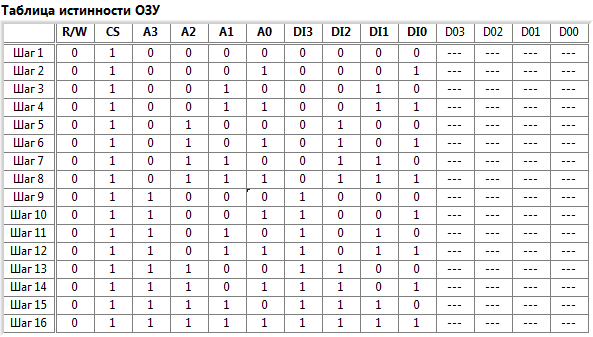
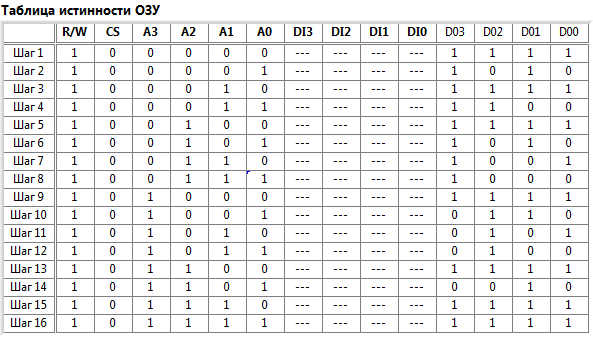


Таблица 3



1. **Вывод**

В ходе работы было проведено исследование оперативного запоминающего устройства. Была получена таблица переходов оперативного запоминающего устройства.

Экспериментальные данные согласуются с теоретическими.